

РАЗВИТИЕ ФАЗОВЫХ ДИСКРИМИНАТОРОВ ДЛЯ ГИБРИДНЫХ ЭЛЕКТРОПРИВОДОВ

ФАЛЕЕВ М.В., д-р техн. наук, ШИРЯЕВ А.Н., канд. техн. наук

Рассматриваются вопросы построения устройств выявления фазовой ошибки для прецизионных систем стабилизации скорости.

Ключевые слова: фазовый дискриминатор, цифровая стабилизация, оптический датчик, защита от срыва синхронизации.

DEVELOPING PHASE DISCRIMINATORS FOR HYBRID ELECTRIC DRIVES

M.V. FALIEEV, Doctor of Engineering, A.N. SHIRYAEV, Candidate of Engineering

The main attention is paid to designing devices for detecting phase errors in precision speed regulation systems.

Key words: phase discriminator, digital stabilization, light detector, skip protection.

Особенности фазовых дискриминаторов как основного элемента систем фазовой синхронизации определяются свойствами измерительных преобразователей положения: импульсных датчиков, резольверов или энкодеров. Первоначально принцип построения фазовых дискриминаторов предложен для цифровых систем с непрерывным отсчетом в виде, показанном на рис. 1 [1]. Он включает в себя реверсивный счетчик (РС) и запоминающий регистр (RG), необходимый для передачи данных микроконтроллеру (МК).

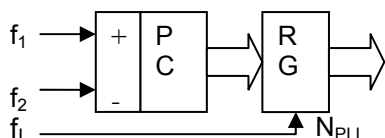


Рис. 1. Фазовый дискриминатор на основе реверсивного счетчика

Его выходной сигнал N_{PLL} находится из следующего выражения:

$$N_{PLL} = \int (f_1 - f_2) dt = \dots = \frac{z_1}{2\pi} \int (\omega_Z - \omega) dt,$$

где f_1, f_2 – частоты задания и обратной связи соответственно; z_1 – число меток энкодера; ω – угловая скорость вала.

Следовательно, величина выходного сигнала такого фазового дискриминатора пропорциональна величине фазового рассогласования $\Delta\varphi$. Добротность D такого дискриминатора определяется как

$$D_{PC} = \frac{f_i}{N_M} \frac{z_1}{2\pi}, \quad (1)$$

где N_M – значение N_{PLL} , при котором обеспечивается максимальное значение выходного сигнала дискриминатора.

Вполне очевидно, что разрешающая способность такого устройства определяется дискретностью измерения положения датчика этой

фазовой переменной. Для обеспечения работоспособности устройства необходимо аппаратными средствами обеспечить ограничение выходного сигнала РС. В противном случае возможно опрокидывание регулирования и возникновение больших перерегулирований. При использовании только одного разряда РС дискриминатор становится одноразрядным. Такие фазовые дискриминаторы не нашли широкого применения в электроприводах, так как очень сложно обеспечить работоспособность контура фазовой синхронизации при широких диапазонах изменения частотных сигналов из-за малой полосы захвата режима синхронизации и возможности опрокидывания регулирования при нарушении последовательности прихода частотных сигналов. Более широкое применение находят частотно-фазовые дискриминаторы (ЧФД) и логические устройства сравнения (ЛУС) [2], обеспечивающие защиту от опрокидывания регулирования (рис. 2).

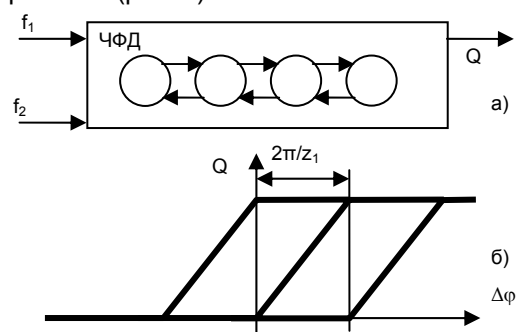


Рис. 2. Частотно-фазовый дискриминатор (логическое устройство сравнения): а – графотопологическая схема; б – семейство выходных характеристик

Очевидно, что ЧФД представляет конечный автомат с многозначной логической нелинейностью, гистерезис которой при переходе с одной характеристики на другую равен полюсному делению резольвера или разрешающей способности импульсного частотного

датчика. Характеристика ЧФД, представленная на рис. 2,б, определяет зависимость длительности выходного сигнала Q ЧФД от величины фазового рассогласования $\Delta\varphi$ импульсных входных сигналов с частотами f_1 и f_2 . Добротность одноразрядного фазового дискриминатора D_1 определяется как

$$D_1 = f_2 \frac{Z_1}{2\pi}. \quad (2)$$

Вполне очевидно, что ее величина значительно выше добротности дискриминаторов на базе реверсивного счетчика. Такие устройства, определяемые как ЛУС, широко использовались в астатических дискретных электроприводах с импульсными частотными датчиками. Однако в представленном виде ЧФД достаточно сложно использовать в цифровых регуляторах. Поэтому на рис. 3 представлен ЧФД с времяимпульсным преобразованием длительности широтно-импульсного сигнала Q в цифровой код N_{PLL} . Времяимпульсное преобразование осуществляется заполнением счетчика СТ высокой частотой f_c в течение активного состояния выходного сигнала Q ЧФД. Регистр RG фиксирует величину выявленной фазовой ошибки. Добротность такого преобразователя определяется как

$$D_{PLL} = f_2 \frac{Z_1}{2\pi N_{CT}}, \quad (3)$$

где N_{CT} – коэффициент пересчета счетчика СТ.

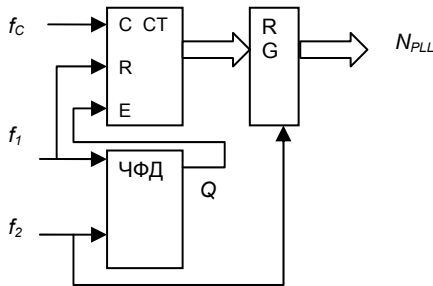


Рис. 3. ЧФД с блоком времяимпульсного преобразования

Наличие реверсивных счетчиков и сбрасываемых регистров усложняет использование менеджеров событий, которые широко используются в микроконтроллерах. Кроме того, для таких устройств необходимы дополнительные блоки управления частотным сигналом задания.

Более эффективным представляется применение в цифровых ЧФД обычных счетчиков с преобразователями частоты, как это показано на рис. 4. Такие устройства объединяют функции фиксации фазового рассогласования, преобразования его в цифровую форму и задания скорости. Принцип их работы заключается в считывании маски счетчика СТ₂ в регистр RG. Выходная частота f_{11} преобразователя частоты ПЧ₁ (рис. 4,а) определяется следующим выражением:

$$f_{11} = f_0 + f_1 = f_0 + \frac{f_0}{N_{PR}},$$

где f_0 – частота заполнения; f_1 – частота задания скорости вала; N_{PR} – коэффициент пересчета прескаллера задания СТ_Z.

Выходная частота f_{12} преобразователя частоты ПЧ₂ определяется как

$$f_{12} = f_0 + f_2 = f_0 + \frac{\omega Z_1}{2\pi},$$

где f_2 – частота выходного сигнала ВР.

Частота считывания информации, определяющая период прерывания МК, находится из следующего выражения:

$$f_i = f_{12} N_2^{-1},$$

где N_2 – коэффициент пересчета счетчика СТ₂, формирующего частоту прерывания f_i , фронт которой инициализирует прерывание МК.

Следовательно, f_i зависит от измеряемой скорости, что приводит к дополнительной нагрузке на МК, появление которой обуславливается некоторой неопределенностью определения производных анализируемых фазовых переменных по первой их разности.

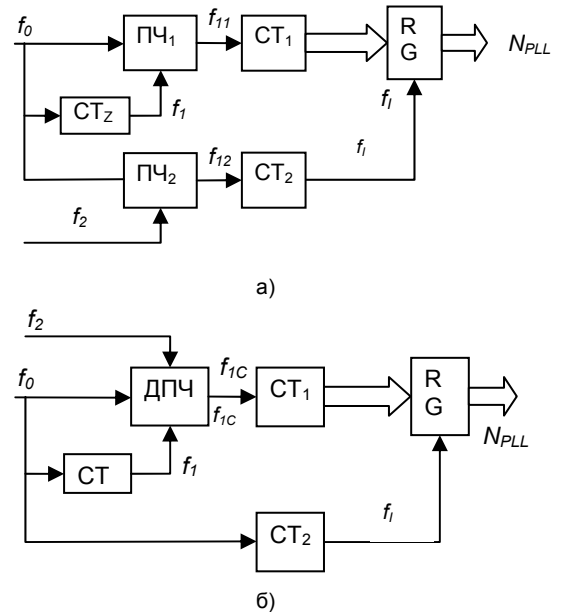


Рис. 4. Цифровые дискриминаторы с преобразователями частоты: а – с переменной частотой дискретизации; б – с постоянной частотой дискретизации

Для дифференциального преобразователя частоты (ДПЧ), входящего в состав ЧФД (рис. 4,б), частота выходного сигнала f_{1c} определяется как

$$f_{1c} = \frac{f_0}{2} + f_1 - f_2 = \frac{f_0}{2} + \frac{f_0}{N_{PR}} - \frac{\omega Z_1}{2\pi}.$$

Частота считывания информации f_i определяется следующим образом:

$$f_i = f_0 N_2^{-1}.$$

Из этого следует, что в данном случае f_i остается постоянной во всем диапазоне изменения частоты вращения вала двигателя.

В отличие от ЧФД, представленного на рис. 2, цифровые дискриминаторы не имеют схемотехнических средств защиты от опрокидывания регулирования и синхронизации на кратных частотах. Защита от синхронизации на кратных частотах достигается выбором f_1 заведомо большей максимальной частоты сигнала датчика положения. Предотвращение опрокидывания регулирования обеспечивается программным автоматом защиты от опрокидывания регулирования, граф которого представлен на рис. 5.

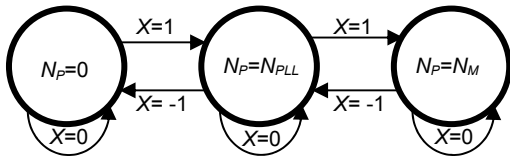


Рис. 5. Программный автомат защиты от опрокидывания регулирования

Сигнал управления X автоматом защиты от опрокидывания регулирования находится по выражению вида

$$X = \text{sign} \left[\frac{N_{PLL} - N_{PLL}/z}{N_M} + 0,5 \right] \times \dots$$

$$\dots \times \text{sign} \left[N_{PLL} \left(N_{PLL} - N_{PLL}/z \right) \right],$$

где N_M – максимальный сигнал дискриминатора, определяемый размером регистра RG; z – переменная дискретного z -преобразования.

Рассмотренные выше ЧФД требуют для своей реализации аппаратных затрат, которые не входят в набор периферийных устройств стандартных МК. Кроме того, такие ЧФД работают в системе координат, жестко связанной с меткой или полюсом датчика положения. Поэтому им свойственна существенная многозначность выходных характеристик со значительным гистерезисом, наличие которой усложняет переход из режима насыщения в режим синхронизации. Поэтому предлагается использование модифицированного алгоритма фазового сравнения, система координат которого не имеет жесткой пространственной привязки. В этом случае выходной сигнал программного ЧФД определяется как

$$N_P = \frac{N_P}{z} + N_{PLL} \frac{z-1}{z}. \quad (4)$$

Нетрудно показать, что использование (4) в качестве оценки величины фазового рассогласования не создает дополнительных ошибок, связанных с квантованием входного сигнала. В этом случае ограничение выходного сигнала не вызывает затруднений. Выходные характеристики такого ЧФД также обладают

многозначностью, однако величина гистерезиса в этом случае не превышает дискретности преобразования фазовой ошибки в цифровой эквивалент, а следовательно, переход из состояния насыщения в режим синхронизации осуществляется при изменении первой разности считываемой величины фазового рассогласования.

В этом случае оказывается рациональным вообще отказаться от использования дополнительных аппаратных средств, а решать задачу на программном уровне. При этом величина фазового рассогласования N_P находится по выражению вида

$$N_P = \frac{N_P}{z} + \Delta N_z + N_{QE1} \frac{z-1}{z}, \quad (5)$$

где ΔN_z – задание скорости; N_{QE1} – выходной сигнал интерфейса энкодера ЧНК, соответствующий углу поворота вала.

В отличие от аппаратных ЧФД, в этом случае узел выявления фазовой ошибки связан с системой координат, начало которых смещается на величину ΔN_z на каждом такте измерения. Такой процесс практически адекватен замыканию системы по углу в пределах не одной, а нескольких (N) меток энкодера. Во-первых, это расширяет возможный диапазон регулирования скорости, а во-вторых, при использовании цифровых средств управления обеспечивает простоту преобразования фазового рассогласования в код. Это не вносит дополнительной погрешности в процесс измерения фазовой ошибки, так как в линейной зоне работы предлагаемого многозарядного частотно-фазового дискриминатора (МЧФД) используется фиксированная система координат. При этом также решается задача реализации частотно-фазового дискриминатора с многозначной нелинейной характеристикой, свойственной ЛУС. Но в этом случае соседние характеристики сдвинуты на величину разрешающей способности энкодера, как это показано на рис. 6, что устраняет перерегулирование, так как выход из режима частотного сравнения происходит сразу после изменения направления вращения.

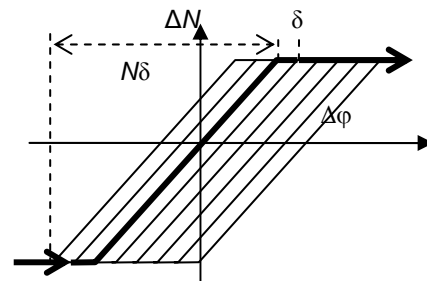


Рис. 6. Многозначная логическая нелинейность МЧФД

Добротность по скорости D_R МЧФД определяется как

$$D_R = \frac{z m}{2\pi N_M}, \quad (6)$$

где N_M – величина цифрового сигнала, соответствующая режиму насыщения МЧФД.

Очевидно, что представленный способ замыкания системы по фазовой ошибке во многом аналогичен фазовым дискриминаторам на базе реверсивных счетчиков, предложенных в [1]. Техническая реализация МЧФД зависит от используемых схемотехнических решений. Для приводов с конфигурируемыми системами на кристалле предпочтительным является аппаратно-программный способ, основанный на смещении частоты выходного сигнала энкодера в соответствии со следующим выражением:

$$f_{CO} = \frac{Z\omega}{2\pi} + f_{CM}, \quad (7)$$

Фалеев Михаил Владимирович,
ГОУВПО «Ивановский государственный энергетический университет имени В.И. Ленина»,
доктор технических наук, профессор кафедры технологии автоматизированного машиностроения,
телефон (4932) 26-97-73.

Ширяев Александр Николаевич,
ГОУВПО «Ивановский государственный энергетический университет имени В.И. Ленина»,
кандидат технических наук, доцент кафедры электропривода и автоматизированных промышленных установок,
телефон (4932) 26-97-07.

где f_{CO} – выходная частота преобразователя частоты РЧ, являющаяся сигналом обратной связи контура фазовой синхронизации; f_{CM} – частота смещения.

Очевидно, что успешное построение средств фазового сравнения возможно только при синергетическом подходе к решению поставленной задачи.

Список литературы

1. Кулесский Р.А., Шубенко В.А. Электроприводы постоянного тока с цифровым управлением. – М.: Энергия, 1973.
2. Трахтенберг Р.М. Импульсные астатические системы электропривода с дискретным управлением. – М.: Энергоатомиздат, 1982.